



COPY OF PAPERS  
ORIGINALLY FILED

PATENT  
Docket No. JCLA7289  
page 1

#3/Priority  
FEB 22  
4.30.02

In re application of: JUNG-YU HSIEH et al.

Application No.: 09/990,397

Filed: November 20, 2001

For: FLASH MEMORY STRUCTURE

Examiner:

Art Unit:

Certificate of Mailing

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231, on

January 24, 2002

(Date)

Jiawei Huang, Reg. No. 43,330

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

Sir:

Transmitted herewith is a certified copy of Taiwan Application No. 90110699 filed on May 04, 2001.

A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA7289). A duplicate copy of this sheet is enclosed.

Date: 1/24/2002

By:

Jiawei Huang  
Registration No. 43,330

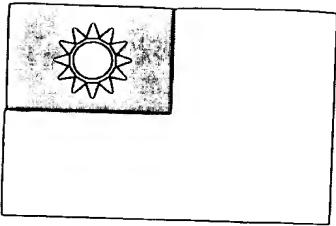
Please send future correspondence to:

J. C. Patents  
4 Venture, Suite 250  
Irvine, California 92618  
(949) 660-0761

PRC 100  
100-100  
TC 2000 MAIL ROOM

JCI72289

09/990,397



RECEIVED

FEB 28 2002

CROSS MAIL ROOM

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

COPY OF PAPERS  
ORIGINALLY FILED

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日：西元 2001 年 05 月 04 日  
Application Date

申 請 案 號：090110699  
Application No.

申 請 人：旺宏電子股份有限公司  
Applicant(s)

局 長  
Director General

陳 明 邦

發文日期：西元 2001 年 12 月 04 日  
Issue Date

發文字號：09011018689  
Serial No.

申請日期	
案 號	
類 別	

A4  
C4

(以上各欄由本局填註)

## 發明專利說明書

一、發明 新型 名稱	中 文	快閃記憶體的結構
	英 文	
二、發明 創作 人	姓 名	1 謝榮裕 2 林經祥
	國 籍	中華民國
	住、居所	1 新竹市自由路 27 巷 49 號 3 樓 2 南投縣南投市信義街 152 巷 9 弄 21 號
三、申請人	姓 名 (名稱)	旺宏電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學園區力行路十六號
代 表 人 姓 名	胡定華	

裝

訂

線

四、中文發明摘要（發明之名稱：

## 快閃記憶體的結構

一種快閃記憶體的結構，其結構包括一穿隧氧化層、一浮置閘極、一介電疊層、一控制閘極與一源極/汲極區，其中介電疊層係由一第一氧化層、一高介電常數材質的介電層與一第二氧化層依序堆疊而成，且係配置於浮置閘極與控制閘極之間；而浮置閘極係配置於穿隧氧化層之上；而控制閘極係配置於介電疊層之上；源極/汲極區則是配置於浮置閘極兩側的基底之中。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝訂線

英文發明摘要（發明之名稱：

## 五、發明說明(一)

本發明是有關於一種記憶體的結構，且特別有關於一種快閃記憶體（Flash Memory）的結構。

近來拜可攜式電子產品需求所賜，快閃記憶體有明顯增加需求的現象，由於其技術日趨成熟，成本下降，不僅刺激購買意願，而且有新的市場應用。然近來發展的快閃記憶體結構之可電除且可編程唯讀記憶體已具有較快的存取速度。數位照相機的底片、個人隨身電子記事簿之記憶體、個人 MP3 隨身聽、電子答錄裝置、可程式 IC 等等均是快閃記憶體應用的市場。

第 1 圖是習知一種快閃記憶體之結構剖面圖。

請參照第 1 圖，此結構包括一穿隧氧化層（Tunneling Oxide）102、一控制閘極（Control Gate）108、一氧化層 110、一浮置閘極（Floating Gate）104 與一源極/汲極區；而浮置閘極 104 係配置於穿隧氧化層 102 之上；而氧化層 110 係配置於浮置閘極 104 之上；而控制閘極 108 係配置於氧化層 110 之上；源極/汲極區 106 則是配置於浮置閘極 104 兩側的基底 100 之中。

當快閃記憶體進行編程（Program）時，適當之編程電壓分別加到源/汲極區 106 與控制閘極 108 上，電子將由源極區 106 經由通道（Channel）流向汲極區 106。在此過程中，將有部分的電子會穿過複晶矽浮置閘極 104 層下方的穿隧氧化層 102，進入並且會均勻分布於整個浮置閘極 104 之中，此種電子穿越穿隧氧化層 102 進入浮置閘極 104 的現象，稱為隧穿效應（Tunneling Effect）。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(二)

隧道效應可以分成兩種情況，一種稱為通道熱電子注入(Channel Hot-Electron Injection)，另一種稱為 Fowler-Nordheim 隧穿(F-N Tunneling)。通常快閃記憶體是以通道熱電子編程，並且通過源極旁邊或通道區域以 Fowler-Nordheim 遂穿抹除。但是，若浮置閘極下方的穿隧氧化層有缺陷(Weak Point)存在，則容易造成元件的漏電流，影響元件的可靠度。

為了解決快閃記憶體元件漏電流之問題，目前的作法是利用氧化矽/氮化矽/氧化矽(Oxide-Nitride-Oxide，簡稱ONO)複合層所構成之堆疊式(Stacked)結構作為浮置閘極與控制閘極之間的介電層。

因為ONO介電層中的氮化矽層具有抓住電荷之效果，所以射入ONO層之中的電子並不會均勻分布於整個氮化矽之中，而是以高斯分布的方式集中於氮化矽的局部區域上，因此，對於氧化層其缺陷的敏感度較小，元件漏電流的現象較不易發生。

此外，ONO介電層的優點還包括在元件編程時，電子僅會在接近源極或汲極上方的通道局部性地儲存。因此，在進行編程時，可以分別對源/汲極區以及閘極施加電壓，而在接近於另一端源/汲極區的氮化矽層中產生高斯分布的電子。所以可藉由改變閘極與其兩側之源極/汲極區所施加電壓，可以在單一的ONO介電層中存在兩個具有高斯分布的電子、單一個具有高斯分布的電子或是不存在電子。因此，此種以氮化矽材質做為介電層的快閃記憶體，可以在

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

(請先閱讀背面之注意事項再填寫本頁)

裝  
一  
訂  
線

## 五、發明說明(3)

單一的記憶胞之中寫入四種狀態，為一種單一記憶胞二位元(1 cell 2bit)之快閃記憶體。

然而，上述快閃記憶體在進行編程時，需要適當之編程電壓分別加到源/汲極區與控制閘極上，而在此過程中所需的電壓值會隨著浮置閘極與控制閘極間之介電質的材質而改變，所以要如何將編程電壓值降至最低已是刻不容緩的議題。

所以本發明提供一種快閃記憶體的結構，以使操作快閃記憶體所需施加之電壓值降低，進而減少能源損耗。

本發明提供一種快閃記憶體的結構，其結構包括一穿隧氧化層、一浮置閘極、一介電疊層、一控制閘極與一源極/汲極區，其中介電疊層係由一第一氧化層、一高介電常數材質的介電層與一第二氧化層依序堆疊而成，且係配置於浮置閘極與控制閘極之間；而浮置閘極係配置於穿隧氧化層之上；而控制閘極係配置於介電疊層之上；源極/汲極區則是配置於浮置閘極兩側的基底之中。此外，可依照高介電常數介電層的帶隙(Band Gap)大小決定是否省略在高介電常數介電層與控制閘極間的第二氧化層，如果所使用之高介電常數介電層的 Band Gap 與氧化矽的 Band Gap 相近或更大，則可不包括此第二氧化層；反之，如果高介電常數介電層的 Band Gap 小於氧化矽的 Band Gap，則需包括此第二氧化層。所謂的高介電常數的材質係指比氮化矽/氧化矽( $\text{Si}_3\text{N}_4/\text{SiO}_2$ ，亦稱為 NO)高的介電常數的材料，並非為正規的名詞；而帶隙是指金屬與半導體中兩個容許電子能帶

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(4)

間的間隙。另外，因為氧化鋁具有高介電常數與高帶隙的特徵，所以介電層材質為氧化鋁時，則不需要其他的氧化層。

因為本發明利用高介電常數介電層作為介電疊層之材質，所以可使操作快閃記憶體所需施加之電壓降低，進而減少能源損耗。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

**圖式之簡單說明：**

第 1 圖繪示的是習知一種快閃記憶體之結構剖面圖；以及

第 2 圖繪示的是依照本發明一較佳實施例一種快閃記憶體之結構剖面圖。

**圖式之標號說明：**

100, 200：基底

102, 202：穿隧氧化層

104, 204：浮置閘極

106, 206：源/汲極

108, 208：控制閘極

110, 212, 216：氧化層

210：介電疊層

214：高介電常數介電層

### 實施例

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(5)

第2圖是依照本發明一較佳實施例的一種快閃記憶體之結構剖面圖。

請參照第2圖，其結構包括一穿隧氧化層202、一控制閘極208、一浮置閘極204、一介電疊層210與一源極/汲極區206，其相關位置為，浮置閘極204位於穿隧氧化層202之上；而介電疊層210係配置於浮置閘極204之上；而控制閘極208係配置於介電疊層210之上；源極/汲極區206則是配置於浮置閘極204兩側的基底200之中。其中，介電疊層210係由一第一氧化層212、一介電層214與一第二氧化層216依序堆疊而成，且介電層214之材質例如是具有高介電常數(High Dielectric Constant)之材質。

而介電疊層210中的介電層214之材質為何需具有高介電常數( $\epsilon$ )，才能達到本發明降低操作快閃記憶體時所需施加之電壓，進而減少能源損耗之目的。其原因係在操作快閃記憶體時對控制閘極施加的電壓(以 $V_{TCS}$ 表示)係以下式(1)所示

$$V_{TCS} = \frac{1}{GCR} \times V_{TFS} - \frac{Q}{C_c} \quad (1)$$

而式(1)中的 $GCR$ 代表的是閘極耦合比(Gate Coupling Ratio)，其值如下式(2)所示

$$GCR = \frac{C_c}{C_r} = \frac{C_{ONO}}{C_{Tox} + C_{ONO}} \quad (2)$$

又式(2)中 $C_{Tox}$ 代表的是穿隧氧化層的電容(Tunneling Oxide Capacitance)； $C_{ONO}$ 代表的則是ONO介電層的電容(ONO Layer Capacitance)。

(請先閱讀背面之注意事項再填寫本頁)

裝  
一  
訂

線

## 五、發明說明(6)

因此從上式(1)與式(2)可知，如果要降低施加電壓  $V_{TCS}$ ，則需增加  $GCR$  值，而要增加  $GCR$  值，就必須從提昇介電層的電容值來著手。又因為電容與介電常數(以  $\epsilon$  表示)的關係式如下式(3)所示

$$C = \epsilon \times \frac{A}{d} \quad (3)$$

所以，綜合式(1)、式(2)與式(3)，要降低施加電壓  $V_{TCS}$ ，就必須增加介電疊層 210 中的介電層 214 之介電常數，以降低操作快閃記憶體所需施加之電壓，進而減少能源損耗。

而介電疊層 210 中的第一氧化層 212 是用以加強浮置閘極 204 與高介電常數介電層 214 間的吸附力，以及減少缺陷(Defect)的產生。另外，介電疊層 210 中的第二氧化層 216 是用以加強高介電常數介電層 214 與其上的控制閘極 208 間的吸附力，以及減少缺陷的產生。

而所謂的高介電常數的材質係指介電常數比氮化矽/氧化矽( $Si_3N_4/SiO_2$ ，亦稱為 NO)的介電常數高的材質，高介電常數介電層 214 例如是氧化鋁( $Al_2O_3$ )、氧化鈇( $Y_2O_3$ )、鋯氧化矽( $ZrSi_xO_y$ )、鉿氧化矽( $HfSi_xO_y$ )、三氧化二鏽( $La_2O_3$ )、二氧化鋯( $ZrO_2$ )、二氧化鉿( $HfO_2$ )、五氧化二鉭( $Ta_2O_5$ )、氧化鑷( $Pr_2O_3$ )與二氧化鈦( $TiO_2$ )，下列表一為上述介電層的介電常數，此外還包括  $Si_3N_4/SiO_2$ 、氧化矽( $SiO_2$ )與氮化矽( $Si_3N_4$ )的介電常數。

## 五、發明說明(7)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

b

材質	介電常數	材質	介電常數
$\text{SiO}_2$	2.9	$\text{La}_2\text{O}_3$	20
$\text{Si}_3\text{N}_4$	7.5	$\text{ZrO}_2$	22
$\text{NO} (\text{Si}_3\text{N}_4/\text{SiO}_2)$	7~8	$\text{HfO}_2$	25
$\text{Al}_2\text{O}_3$	10	$\text{Ta}_2\text{O}_5$	26
$\text{Y}_2\text{O}_3$	12~14	$\text{Pr}_2\text{O}_3$	31
$\text{ZrSi}_x\text{O}_y$	12~22	$\text{TiO}_2$	80
$\text{HfSi}_x\text{O}_y$	15~25		

表一

由表一可知，所謂的高介電常數材質的介電常數需高於  $\text{Si}_3\text{N}_4/\text{SiO}_2$  的介電常數值 8。另外，本實施例之高介電常數介電層 214 還可以例如是上述各高介電常數材質的混合物或是上述各高介電常數材質的堆疊層 (Stack Layer)。

另外，依照所使用的高介電常數介電層 214 材質的帶隙 (Band Gap) 大小決定是否省略於介電疊層 210 中在高介電常數介電層 214 與控制閘極 208 間的第二氧化層 216，如果所使用之高介電常數介電層 214 的 Band Gap 與氧化矽的 Band Gap 相近或更大，則可不包括此第二氧化層 216；反之，如果高介電常數介電層 214 的 Band Gap 小於氧化矽的 Band Gap，則需包括此第二氧化層 216。下列表二為本實施例所使用之介電層 214 材質的帶隙值，此外還包括氧化矽 ( $\text{SiO}_2$ ) 與氮化矽 ( $\text{Si}_3\text{N}_4$ ) 的帶隙值。

## 五、發明說明(8)

材質	帶隙(eV)	材質	帶隙(eV)
SiO <sub>2</sub>	9	La <sub>2</sub> O <sub>3</sub>	4
Si <sub>3</sub> N <sub>4</sub>	5.3	ZrO <sub>2</sub>	7.8
Al <sub>2</sub> O <sub>3</sub>	8.0	HfO <sub>2</sub>	6
Y <sub>2</sub> O <sub>3</sub>	5.6	Ta <sub>2</sub> O <sub>5</sub>	4.4
ZrSi <sub>x</sub> O <sub>y</sub>	6.5	Pr <sub>2</sub> O <sub>3</sub>	-
HfSi <sub>x</sub> O <sub>y</sub>	6.5	TiO <sub>2</sub>	2.3

表二

如果高介電常數介電層 214 的帶隙與習知使用的氧化矽層相近或更大，則高介電常數介電層 214 可取代習知形成於高介電常數介電層 214 上的第二氧化層 216，並具有相同的功效。

另外，從表一與表二可知，氧化鋁具有比氮化矽/氧化矽高的介電常數，以及與氧化矽的帶隙相近的特徵，因此以氧化鋁作為介電層 214 的材質時，可替代介電層疊層 210 中其他的氧化層 212、216，故可簡化快閃記憶體之製程。

綜上所述，本發明的特徵在利用高介電常數介電層作為控制閘極與浮置閘極間介電層的主要材質，因此可增加閘極耦合比，使操作快閃記憶體所需施加之電壓至降低，進而減少能源損耗；另外如果採用氧化鋁作為介電層材質，不但可增加閘極耦合比，也可完全取代第一與第二氧化層的作用，進而簡化製程。

雖然本發明已以較佳實施例揭露如上，然其並非用以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(9)

限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

1. 一種快閃記憶體的結構，包括：

一穿隧氧化層，其位於一基底上；

一浮置閘極，其位於該穿隧氧化層上；

一第一氧化層，其位於該浮置閘極上；

一高介電常數介電層，其位於該第一氧化層上；

一第二氧化層，其位於該高介電常數介電層上，並與該第一氧化層、該高介電常數介電層形成一介電疊層；

一控制閘極，配置於該介電疊層之該第二氧化層上；

以及

一源/汲極區，其位於該浮置閘極兩側之該基底內。

2. 如申請專利範圍第 1 項所述之快閃記憶體的結構，其中該高介電常數介電層的帶隙值小於氧化矽的帶隙值。

3. 如申請專利範圍第 1 項所述之快閃記憶體的結構，其中該高介電常數介電層的介電常數大於 8。

4. 如申請專利範圍第 1 項所述之快閃記憶體的結構，其中該高介電常數介電層的材質係選自於氧化鋁，氧化釔，鋯氧化矽，鉿氧化矽，三氧化二鑭，二氧化鋯，二氧化鉿，五氧化二鉬，氧化鐳與二氧化鈦所組成之族群其中之一。

5. 如申請專利範圍第 1 項所述之快閃記憶體的結構，其中該高介電常數介電層的材質係選自於氧化鋁，氧化釔，鋯氧化矽，鉿氧化矽，三氧化二鑭，二氧化鋯，二氧化鉿，五氧化二鉬，氧化鐳與二氧化鈦所組成之混合物族群的其中之一。

6. 如申請專利範圍第 1 項所述之快閃記憶體的結構，其

## 六、申請專利範圍

中該高介電常數介電層係選自於氧化鋁，氧化釔，鎵氧化矽，鉻氧化矽，三氧化二鑭，二氧化鋯，二氧化鉿，五氧化二鉪，氧化鐥與二氧化鈦所組成的堆疊層族群其中之一。

7. 一種快閃記憶體的結構，包括：  
 一穿隧氧化層，其位於一基底上；  
 一浮置閘極，其位於該穿隧氧化層上；  
 一第一氧化層，其位於該浮置閘極上；  
 一高介電常數介電層，其位於該第一氧化層上，並與該第一氧化層形成一介電疊層；  
 一控制閘極，配置於該介電疊層之該高介電常數介電層上；以及  
 一源/汲極區，其位於該浮置閘極兩側之該基底內。
8. 如申請專利範圍第7項所述之快閃記憶體的結構，其中該高介電常數介電層的帶隙值大於氧化矽的帶隙值。
9. 如申請專利範圍第7項所述之快閃記憶體的結構，其中該高介電常數介電層的帶隙值等於氧化矽的帶隙值。
10. 如申請專利範圍第 7 項所述之快閃記憶體的結構，其中該高介電常數介電層的材質係選自於氧化鋁，氧化釔，鎵氧化矽，鉻氧化矽，三氧化二鑭，二氧化鋯，二氧化鉿，五氧化二鉪，氧化鐥與二氧化鈦所組成之族群其中之一。
11. 如申請專利範圍第 7 項所述之快閃記憶體的結構，其中該高介電常數介電層的材質係選自於氧化鋁，氧化釔，鎵氧化矽，鉻氧化矽，三氧化二鑭，二氧化鋯，二氧化鉿，

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

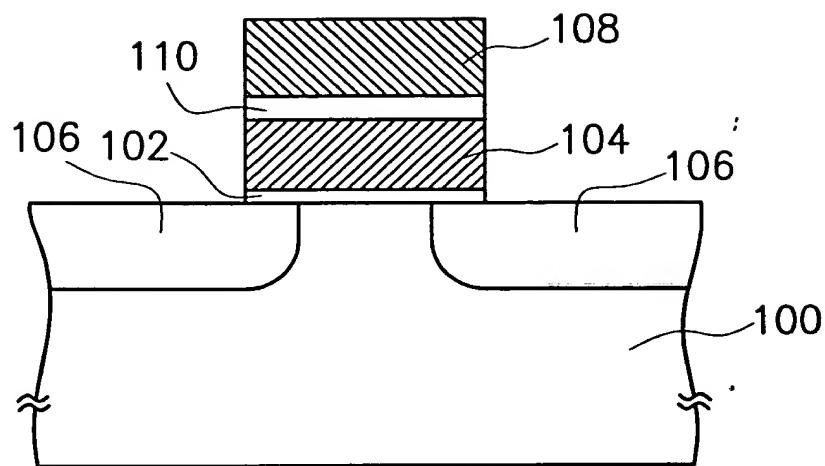
## 六、申請專利範圍

五氧化二鉭，氧化鑷與二氧化鈦所組成之混合物族群的其中之一。

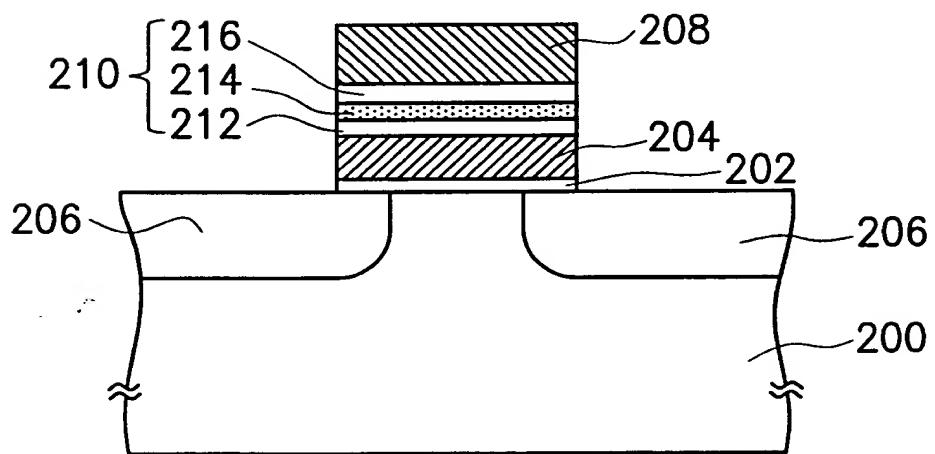
12. 如申請專利範圍第 7 項所述之快閃記憶體的結構，其中該高介電常數介電層係選自於氧化鋁，氧化釔，鎔氧化矽，鎔氧化矽，三氧化二鑭，二氧化鋯，二氧化鎔，五氧化二鉭，氧化鑷與二氧化鈦所組成的堆疊層族群其中之一。

13. 一種快閃記憶體的結構，包括：

- 一穿隧氧化層，其位於一基底上；
- 一浮置閘極，其位於該穿隧氧化層上；
- 一氧化鋁介電層，其位於該浮置閘極上；
- 一控制閘極，其位於該氧化鋁介電層上；以及
- 一源/汲極區，其位於該浮置閘極兩側之該基底內。



第 1 圖



第 2 圖